

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-129872

(43)Date of publication of application : 17.06.1986

(51)Int.Cl.

H01L 29/78

H01L 27/10

H01L 29/60

(21)Application number : 59-252511

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.11.1984

(72)Inventor : NAWATA TAKAHARU

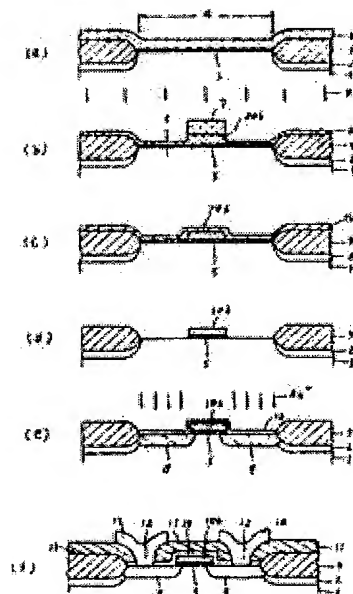
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To contrive to improve the reliability by reducing damage due to plasma etching and preventing the increase in leakage current and the variation in threshold voltage, by a method wherein a region serving as the electrode of a polycrystalline semiconductor layer is removed halfway by plasma etching, and the remnant layer is thermally oxidized; then, the oxide layer and the insulation film thereunder are chemically decomposed away.

CONSTITUTION: An element-isolating oxide film 3 having a P+ channel stopper 2 at the bottom is formed on a P type Si substrate 1, and a gate oxide film 5 is formed on the interelement forming region 4. A polycrystalline Si layer 6 is formed over the whole surface, and phosphorus is introduced. A resist pattern 7 of gate electrode form is shaped on the layer 6. After the pattern 7 is removed by etching away the layer 6 halfway by RIE,

the remnant portion of the layer 6 is oxidized into an oxide Si layer 15. The substrate 1 surface is exposed by wet-etching the layer 15, and a gate electrode 106 is formed. An oxide film 16 is formed, and N+ type source and drain regions 9 are formed by As ion implantation. The film 16 is removed; an oxide Si film 10, a PSG insulation film 11, and windows 12 are provided; and wirings 13, 14 are formed, thus constituting a MOS Tr.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-129872

⑤ Int. Cl.⁴

H 01 L 29/78
27/10
29/60

識別記号

庁内整理番号

8422-5F
6655-5F

④ 公開 昭和61年(1986)6月17日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 半導体装置の製造方法

⑭ 特 願 昭59-252511

⑮ 出 願 昭59(1984)11月29日

⑯ 発 明 者 名 和 田 隆 治 川崎市中原区上小田中1015番地 富士通株式会社内
⑰ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑱ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に絶縁膜を形成し、該絶縁膜上に多結晶半導体層を形成し、該多結晶半導体層及び該絶縁膜を選択的に除去して該半導体基板上に該絶縁膜を下部に有する多結晶半導体電極パターンを形成するに際して、該多結晶半導体電極となる領域以外の該多結晶半導体層をプラズマ・エッチングにより中途迄除去し、次いで熱酸化により該電極となる領域以外の多結晶半導体層の残層を完全に半導体酸化物層となし、次いで該半導体酸化物層とその下部の絶縁膜を化学的に溶解除去して該多結晶半導体電極に沿う該半導体基板面を表出せしめる工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に半

導体装置における絶縁ゲート、キャパシタ等の形成方法に関する。

半導体集積回路装置(IC)においては高集積化が重要な課題である。

そのため例えば絶縁ゲート型半導体IC即ちMOSICにおいては、これを構成するMOSトランジスタの長さ方向の寸法を縮小するためにショートチャネル化が進められている。

又幅方向の寸法を縮小するためにゲート酸化膜の厚さを100Å以下に縮小して該トランジスタのコンダクタンスが高められ、且つこのようにゲート酸化膜厚を薄くすることによってショートチャネル化した際のパンチスルーが防止される。

一方高集積化されるMOSICにおいては、ゲート電極のパターンニングに際してリアクティブ・イオンエッチング法等のプラズマ・エッチング手段が用いられるが、上記のようにMOSトランジスタがショートチャネル化し且つゲート酸化膜厚が薄くなった際には、上記エッチングに際してのプラズマによってソースやドレインとなる領域

の基板表面及びゲート電極下部のゲート酸化膜端部がダメージを受け、リーク電流の増大、閾値電圧の変動等により該トランジスタの信頼性が損なわれるという問題があり、これを防止する製造方法の開発が要望されている。

〔従来の技術〕

従来高集積化されるMOSICを形成する際には、第3図(a)乃至(e)の工程断面図を参照して説明する下記の製造方法が用いられていた。

第3図(a)参照

即ち通常の選択イオン注入技術と選択酸化技術により例えばp型シリコン基板1上にp⁺型チャネル・ストッパ2を下部に有する素子間分離酸化膜3を形成した後、表出されたp型シリコン基板1面即ち素子形成領域4上に熱酸化法により所定厚さのゲート酸化膜5を形成する。

第3図(b)参照

次いで該基板上に化学気相成長(CVD)法により多結晶シリコン層6を形成し、磷(P)のイオン注入により該多結晶シリコン層6に導電性を

結晶シリコン・ゲート電極106をマスクにして素子形成領域4に選択的に砒素(As⁺)をイオン注入し、熱処理を行ってn⁺型ソース領域8及びn⁺型ドレイン領域9を形成する。

なお上記熱処理は後工程で燐珪酸ガラス(PSG)絶縁膜のリフロー処理が行われる場合は、通常その際の熱処理で兼ねられる。

第3図(c)参照

次いで表出しているゲート酸化膜5をウエット・エッチング手段により除去した後、熱酸化によりソース、ドレイン領域8、9の表面及びゲート電極106の表面に不純物ブロック用の酸化膜10を形成し、該基板上にCVD法によりPSG絶縁膜11を形成し、該PSG絶縁膜11にドライエッチング手段によりコンタクト窓12を形成し、該PSG絶縁膜11上にソース領域8、ドレイン領域9及び図示しないゲート電極等に対する配線13、14等を形成する、一般に良く知られた方法が用いられていた。

〔発明が解決しようとする問題点〕

付与した後、該多結晶シリコン層6上にレジスト膜を塗布形成し、通常のフォトリソプロセスにより該レジスト膜をパターンニングして該多結晶シリコン層6上にゲート電極パターンに相当する形状を有するレジスト・パターン7を形成する。

第3図(d)参照

次いで上記レジスト・パターンをマスクにしリアクティブ・イオンエッチング法等のプラズマ・エッチング手段により該レジスト・パターンの外に表出している多結晶シリコン層6を選択的にエッチング除去して、該ゲート酸化膜5上に多結晶シリコン・ゲート電極106を形成する。

なおこの際、基板面内にエッチング・レートの分布が存在するのでジャストエッチングは困難であり、基板面全域上に多数形成される総てのゲート電極を完全にパターンニングするため約300Å程度の厚さに相当するオーバエッチングがなされる。

第3図(e)参照

次いでレジスト・パターン7を除去した後、多

然し上記従来の方法でゲート酸化膜厚が100Å以下のショートチャネルMOSトランジスタを形成しようとする、ゲート電極をパターンニングする際のリアクティブ・イオンエッチングにおける前述した基板面全域に形成されるゲート電極を完全にパターンニングするためのオーバエッチングにおいて、シリコンと酸化膜(SiO₂)とのエッチング・レート比が例えば10:1程度に大きくとれる四弗化炭素(CF₄)等をエッチング・ガスに選んでも、上記100Å以下の薄いゲート酸化膜はエッチング・ストッパの役目を完全に果たしきれない。

そのため場所によって該ゲート酸化膜がエッチング除去されソース及びドレインとなる基板面がプラズマによるダメージを強く受け、且つゲート電極下部のゲート酸化膜の端面もダメージを受けるので、該MOSトランジスタのリーク電流が増えたり、閾値電圧が変化してその信頼性が低下するという問題を生ずる。

〔問題点を解決するための手段〕

上記問題点の解決は、半導体基板上に絶縁膜を形成し、該絶縁膜上に多結晶半導体層を形成し、該多結晶半導体層及び該絶縁膜を選択的に除去して、該半導体基板上に該絶縁膜を下部に有する多結晶半導体電極パターンを形成するに際して、該多結晶半導体電極となる領域以外の該多結晶半導体層をプラズマ・エッチングにより中途迄除去し、次いで熱酸化により該電極となる領域以外の多結晶半導体層の残層を完全に半導体酸化物層となし、次いで該半導体酸化物層とその下部の絶縁膜を化学的に溶解除去して該多結晶半導体電極に沿う該半導体基板面を表出せしめる工程を有する、本発明による半導体装置の製造方法によって達成される。

(作用)

即ち本発明の方法においては多結晶シリコン・ゲート電極のパターンニングに際して、プラズマ・エッチング手段により多結晶シリコン層を中途までパターンニングし、残層を完全に熱酸化した後この酸化膜をウエット・エッチングにより除去

術及び選択酸化技術を用いて、例えばp型シリコン基板1上に、p⁺型チャネル・ストッパ2を下部に有する素子間分離酸化膜3を形成し、

次いで表出されたp型シリコン基板1面即ち素子形成領域4上に熱酸化法により例えば50~100Å程度の厚さのゲート酸化膜5を形成し、

次いで該基板上に、CVD法により厚さ例えば5000Å程度の多結晶シリコン層6を形成し、

次いで従来同様ガス拡散或いはイオン注入法により、該多結晶シリコン層に磷(P)を導入し導電性を付与する。

第1図(b)参照

次いで従来と同様、通常のプロセスにより上記多結晶シリコン層6上にゲート電極の形状に相当する形状を有するレジスト・パターン7を形成し、

次いで、例えばエッチング・ガスにCF₄ガスを用いるリアクティブ・イオンエッチング(RIE)法により、該多結晶シリコン層6を上記レジスト・パターン7をマスクにして中途まで選択的

することによって、該多結晶シリコン層を完全にパターンニングするものである。

そのためプラズマ・エッチングに際してのプラズマの衝撃は上記多結晶シリコンの残層によって吸収され、ソース領域及びドレイン領域が形成される基板面及びゲート酸化膜に生ずるダメージは大幅に減少するので、該ダメージによって生ずるリーク電流の増大や閾値電圧の変動は防止され、MOSトランジスタの信頼性向上が図れる。

(実施例)

以下本発明を、図示実施例により具体的に説明する。

第1図(a)乃至(f)はMOSトランジスタを形成する際ににおける一実施例の工程断面図で、

第2図(a)乃至(i)は1トランジスタ1キャパシタ型メモリセルを形成する際ににおける一実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。
第1図(a)参照
本発明の方法によりMOSトランジスタを形成するには、従来の方法と同様に選択イオン注入技

にエッチング除去する。

なお該エッチングにおける多結晶シリコン層6の残層の厚さ(t)は500~1000Å程度に選ぶのが適当である。

第1図(c)参照

次いでレジスト・パターン7を除去した後、通常の熱酸化手段により上記多結晶シリコン層6の残層を底面まで完全に酸化し酸化シリコン層15とする。

なおこの際ゲート電極となる多結晶シリコン・パターン206の上面及び側面にも1000~2000Å程度の厚さの酸化シリコン層15が形成される。従ってこの分の目減りを考慮して上記多結晶シリコン層6は厚めに形成される。

第1図(d)参照

次いで上記酸化シリコン層15及びゲート電極となる多結晶シリコン・パターン206の外に表出しているゲート酸化膜5を弗酸系の液によるウエット・エッチング手段により除去して基板1面を表出せしめることによって、ゲート酸化膜を下部に

有する多結晶シリコン・ゲート電極106を形成する。

第1図(e)参照

次いで熱酸化によりソース及びドレイン領域が形成される基板1面に厚さ1000Å程度のダメージ緩和用の酸化シリコン膜16を形成し(この際ゲート電極上にも酸化シリコン膜16が形成される)、

次いで該基板面に多結晶シリコン・ゲート電極106をマスクにして選択的に砒素(A₅)をイオン注入し、所定の熱処理を行ってn⁺型ソース領域8及びn⁺型ドレイン領域9を形成する。

なお上記熱処理は後工程にPSG絶縁膜のリフロー工程が含まれるものについては、一般に該リフローに際しての熱処理で兼ねられる。

第1図(f)参照

次いで弗酸系の液により上記酸化シリコン膜16をウォッシュアウトした後、以後従来同様熱酸化により新たにソース、ドレイン領域8、9上及びゲート電極106の表面に厚さ1000Å程度の不純物ブロック用酸化シリコン膜10を形成し、該基板上

る。

第2図(a)参照

次いで上記レジスト・パターン19をマスクにしリアクティブ・イオンエッチング(RIE)手段により該レジスト・パターン19の外に表出する該多結晶シリコン層18を500~1000Å程度の厚さまで選択的にエッチング除去する。

第2図(b)参照

次いでレジスト・パターン19を除去した後、熱酸化を行い上記多結晶シリコン層18の残層を底面迄完全に第1の酸化シリコン層20とする。この際キャパシタ電極となる多結晶シリコン・パターン218の上面及び側面にも1000~2000Å程度の厚さの第1の酸化シリコン層20が形成される。

第2図(c)参照

次いで弗酸系の液によるウェット・エッチング手段により上記第1の酸化シリコン層20と多結晶シリコン・パターン218から表出するキャパシタ酸化膜17を除去し基板1面を表出せしめることによって、キャパシタ酸化膜17を下部に有する多結

晶シリコン・ゲート電極106を形成し、該PSG絶縁膜11にコンタクト窓12を形成し、該PSG絶縁膜11上に上記コンタクト窓12においてソース領域8、ドレイン領域9及び図示しないゲート電極等に接する配線13,14等を形成する。

又ダイナミック型ランダムアクセス・メモリ(D-RAM)等に配設される1トランジスタ・1キャパシタ型メモリセルは、例えば以下に示す工程により形成される。

第2図(d)参照

先ず前記実施例と同様にして例えばp型シリコン基板1面にp⁺型チャネル・ストッパ2を下部に有する素子間分離酸化膜3を形成し、表出する素子形成領域4面に厚さ例えば100Å程度のキャパシタ酸化膜17を形成し、

次いで該基板上に厚さ例えば4000Å程度の一層目の多結晶シリコン層18を形成し、該多結晶シリコン層18に前述した方法により導電性を付与した後、該多結晶シリコン層18上にキャパシタ電極パターンに対応するレジスト・パターン19を形成す

晶シリコン・キャパシタ電極118を形成する。

第2図(e)参照

次いで熱酸化により表出しているp型シリコン基板1面に厚さ例えば50~100Å程度のゲート酸化膜5を形成し(この際多結晶シリコン・キャパシタ電極118の表面にも前記ゲート酸化膜より厚い酸化シリコン膜105が形成される)、

次いで該基板上に厚さ例えば5000Å程度の二層目の多結晶シリコン層21を形成し、更に該多結晶シリコン層21に前述した方法により導電性を付与する。

第2図(f)参照

次いで該二層目の多結晶シリコン層21上にゲート電極パターンに対応するレジスト・パターン22を形成し、該レジスト・パターン22をマスクにしリアクティブ・イオンエッチング(RIE)手段により該レジスト・パターン22の外に表出する該多結晶シリコン層21を500~1000Å程度の厚さまで選択的にエッチング除去する。

第2図(g)参照

次いでレジスト・パターン22を除去した後、熱酸化を行い上記多結晶シリコン層21の残層を底面迄完全に第2の酸化シリコン層23とする。この際ゲート電極となる多結晶シリコン・パターン221の上面及び側面、及びキャパシタ電極118の上部等にも1000~2000Å程度の厚さの第2の酸化シリコン層23が形成される。

第2図(h)参照

次いで弗酸系の液によるウエット・エッチング手段により第2の酸化シリコン層23及びその下部のゲート酸化膜5及び酸化シリコン膜105を除去しドレインを形成する基板1面を表出せしめることによって、多結晶シリコン・ゲート電極106を完成させる。

第2図(i)参照

次いで前記実施例同様な方法によりn⁺型ドレイン領域9を形成し、不純物ブロック用酸化膜10を形成し、PSG絶縁膜11を形成し、コンタクト窓12を形成し該PSG絶縁膜11上に上記ドレイン領域9に接続する配線14を形成する。

(発明の効果)

以上説明のように本発明の方法によれば、トランジスタ幅の縮小及びショート・チャネルのパンチスルー防止の目的でゲート酸化膜が極めて薄く形成される高集積度のMOSICを形成する際のゲート電極のパターンニングに際して、基板及びゲート酸化膜の端部にダメージを発生させることがない。又キャパシタ電極のパターンニングに際してもキャパシタ酸化膜の端部やゲートが形成される領域にダメージが発生させることがない。

従って、基板面のダメージによって生ずる電流リークは防止され、且つゲート酸化膜やキャパシタ酸化膜等のダメージに捕獲される電荷によって生ずる閾値電圧やキャパシタ容量の変動等も防止されるので、高集積化されるロジックやメモリ等のMOSICの信頼性は向上する。

4. 図面の簡単な説明

第1図(a)乃至(f)はMOSトランジスタを形成する際における一実施例の工程断面図、

第2図(a)乃至(i)は1トランジスタ1キャパシタ

以上第1、第2の実施例に示したように、本発明の方法によれば、多結晶シリコンよりなるゲート電極やキャパシタ電極のパターンニングに際して、プラズマ・エッチングはパターンニングの中途までしか用いられず、ゲート酸化膜或いはキャパシタ酸化膜に接する部分の多結晶シリコン層下部はこれを酸化した後ウエット・エッチング手段によって除去される。

従ってゲート酸化膜やキャパシタ酸化膜の厚さに関係なくプラズマ・エッチングが終了した時点で所要厚さの多結晶シリコン層が残留せしめられているので、ソース、ドレイン領域となる基板面がエッチングされたりダメージを受けることがなく、且つゲート酸化膜やキャパシタ酸化膜の端面もダメージを受けることがない。

またソース、ドレイン領域となる基板面、ゲート酸化膜やキャパシタ酸化膜の端面等に接する多結晶シリコン層の残層は酸化してウエット・エッチング手段により除去されるので、この際それらの部分にダメージを与えることはない。

型メモリセルを形成する際における一実施例の工程断面図、

第3図(a)乃至(e)は従来の方法お示す工程断面図である、

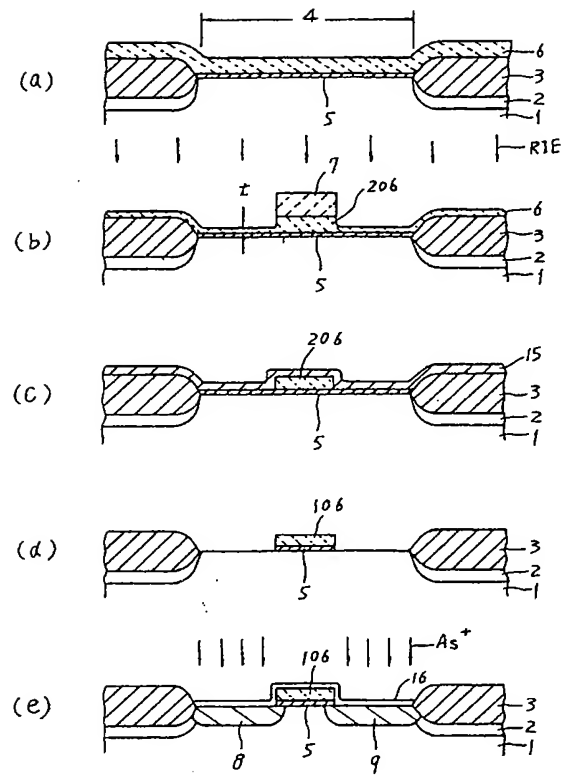
図において、

- 1はp型シリコン基板、
- 2はp⁺型チャネル・ストッパ、
- 3は素子間分離酸化膜、
- 4は素子形成領域、
- 5はゲート酸化膜、
- 6は多結晶シリコン層、
- 7はレジスト・パターン、
- 8はn⁺型ソース領域、
- 9はn⁺型ドレイン領域、
- 10は不純物ブロック用酸化膜、
- 11は珪酸ガラス絶縁膜、
- 12はコンタクト窓、
- 13,14は配線、
- 15は酸化シリコン層、
- 106は多結晶シリコン・ゲート電極、

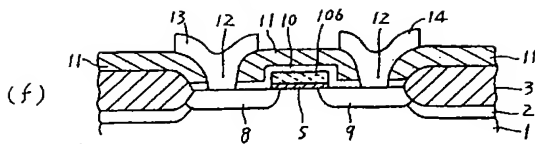
を示す。

代理人 弁理士 松岡宏四郎

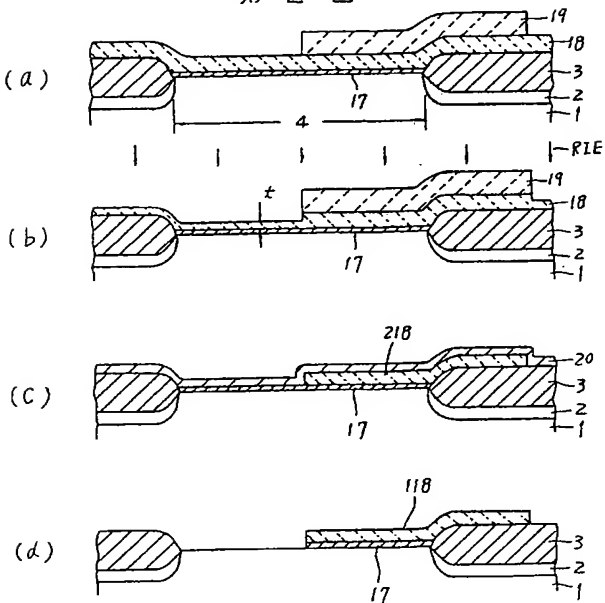
第 1 図



第 1 図



第 2 図



第 3 図

